

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 62176145
PUBLICATION DATE : 01-08-87

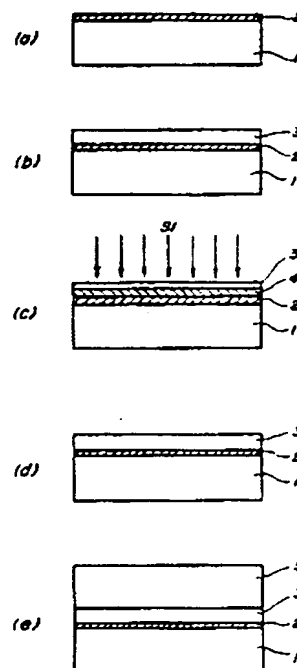
APPLICATION DATE : 29-01-86
APPLICATION NUMBER : 61018562

APPLICANT : SHARP CORP;

INVENTOR : KAKIHARA YOSHINOBU;

INT.CL. : H01L 21/84 H01L 21/205 H01L 21/316

TITLE : MANUFACTURE OF
SEMICONDUCTOR SUBSTRATE



BEST AVAILABLE COPY

ABSTRACT : PURPOSE: To improve defects such as increase in defect density and deterioration in surface morphology, by forming a single crystal silicon thin film by a vapor phase growing method on a single crystal oxide thin film, which is formed on the entire surface of a single crystal sapphire substrate, implanting silicon ions, forming an amorphous silicon region, performing solid phase growing by heat treatment, thereafter forming a single crystal silicon thin film having a specified thickness by a vapor phase growing method.

CONSTITUTION: On a single crystal sapphire substrate 1, a single crystal oxide thin film such as a single crystal spinel thin film or stabilized single crystal zirconia thin film is formed. The surface undergoes gas etching using H_2 and HCl . Thereafter a single crystal silicon thin film 3 is formed by a vapor phase growing method. Then, silicon ions are implanted in the thin film 3, and an amorphous silicon region 4 is formed. Solid phase growing is performed by heat treatment, and the region 4 is converted into the single crystal silicon thin film 3 characterized by good quality and low defect density. The film undergoes gas etching using H_2 and HCl . Then a single crystal silicon thin film 5 having a required thickness is formed by a vapor phase growing method. Thus the single crystal silicon thin film characterized by no Al autodoping, good crystal property, low defect density (~ 10 defects/cm²) and good surface morphology can be obtained, and the semiconductor substrate without thermoplastic deformation is obtained.

COPYRIGHT: (C)1987,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-176145

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)8月1日

H 01 L 21/84
21/205
21/3167739-5F
7739-5F
6708-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体用基板の製造方法

⑯ 特 願 昭61-18562

⑰ 出 願 昭61(1986)1月29日

⑱ 発 明 者	榎 本	修 治	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑱ 発 明 者	厚 主	文 弘	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑱ 発 明 者	土 井	司	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑱ 発 明 者	篠 崎	敏 幸	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑱ 発 明 者	柿 原	良 亘	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑰ 出 願 人	シャープ株式会社		大阪市阿倍野区長池町22番22号	
⑲ 代 理 人	弁理士 杉山 毅至		外1名	

明 細 書

1. 発明の名称

半導体用基板の製造方法

2. 特許請求の範囲

1. サファイヤ単結晶基板の全面に酸化物単結晶薄膜を形成する工程と、

該酸化物単結晶薄膜上に気相成長法によりシリコン単結晶薄膜を形成する工程と、

該シリコン単結晶薄膜にイオンインプランテーション法に依りシリコンをイオン注入して上記シリコン単結晶薄膜内にアモルファスシリコン領域を形成する工程と、

次に高温の加熱処理を行って上記アモルファス領域を固相成長させる工程と、

上記シリコン単結晶薄膜上に気相成長法により所定の厚さのシリコン単結晶薄膜を形成する工程と

を備えてなることを特徴とする半導体用基板の製造方法。

3. 発明の詳細な説明

<産業上の利用分野>

本発明はSOI(silicon on insulator)

型基板構造を有し、例えば高速、高集積化したバイポーラトランジスタとMOSトランジスタの混成回路を形成することが出来る低欠陥密度な半導体用基板の製造方法に関するものである。

<従来の技術>

従来より、サファイヤ基板は、たとえばSOS技術において、シリコン基板の代りに半導体用絶縁基板として用いられている。SOS技術は、サファイヤ基板の上にシリコン薄膜をエピタキシャル成長させてMOSデバイス等を構成し、従来問題となっていた配線容量と素子間分離を解決し、MOSデバイス等の高速化を図る様にしたものである。更に、SOS技術の欠点を克服するためにサファイヤ基板全面に、スピネル単結晶薄膜や、Y, Ca, Mg, Scなどを添加した安定化ジルコニア薄膜を被覆してなる新しい半導体用絶縁基板も提案されている。

<発明が解決しようとする問題点>

特開昭62-176145(2)

サファイヤ単結晶基板上に気相成長法で形成されたシリコン単結晶薄膜は、表面モルフォロジーや結晶性が余り良くなく、しかもA₁のオートドープによる汚染も生じ易く、欠陥密度は $10^8 \sim 10^{11}$ (個/μ)と多いためデバイス作成用の基板として広く利用できないのが現状であった。

この様な状況を鑑みて、サファイヤ基板上にスピネル単結晶薄膜や安定化ジルコニア薄膜を被覆してなる新しい半導体用絶縁基板が提案され、半導体デバイスの特性に影響を及ぼさない半導体用絶縁基板が実現されている。

しかし、サファイヤ単結晶基板上に形成してなるスピネル単結晶薄膜や安定化ジルコニア単結晶薄膜上に気相成長法でシリコン単結晶薄膜をヘテロエピタキシャル成長させた場合、格子の不整合や熱膨張係数などの違いによって結晶性の劣化に伴う欠陥密度の増加、表面モルフォロジーの悪化等が生じる。

本発明は上記の点に鑑みて創案されたものであり、サファイヤ単結晶基板上に形成してなるスピ

ネル単結晶薄膜や安定化ジルコニア単結晶薄膜上に気相成長法でシリコン単結晶薄膜を形成するヘテロエピタキシャル成長において、問題となる欠陥密度の増加及び表面モルフォロジーの悪化等の欠点を改善すると共にシリコン単結晶薄膜を形成する気相成長時に発生するA₁のオートドープによる汚染を防止した半導体用基板の製造方法を提供することを目的としている。

＜問題を解決するための手段＞

上記の目的を達成するため、本発明の半導体用基板の製造方法は、サファイヤ単結晶基板の全面にスピネル単結晶薄膜や安定化ジルコニア単結晶薄膜等の酸化物単結晶薄膜を形成する工程と、この酸化物単結晶薄膜上に気相成長法によってシリコン単結晶薄膜を形成する工程と、このシリコン単結晶薄膜にイオンインプランテーション法により、シリコンをイオン注入して上記のシリコン単結晶薄膜中にアモルファスシリコン領域を形成する工程と、次に高温の加熱処理を行なって上記のアモルファス領域を固相成長させる工程と、上記

のシリコン単結晶薄膜上に気相成長法によって所定の厚さのシリコン単結晶薄膜を形成する工程とを含んでなるように構成している。

＜作用＞

上記した本発明に係る半導体用基板の製造方法においては、サファイヤ単結晶基板上に形成されたスピネル単結晶薄膜または安定化ジルコニア単結晶薄膜等の酸化物単結晶薄膜はサファイヤ単結晶基板からのA₁のオートドープを防ぎ、かつ1層目のシリコン単結晶薄膜中にイオン注入法によりアモルファス化した後、高温で固相成長を行なうため、酸化物単結晶薄膜の界面での格子の不整合が矯正されると共に第2層目のシリコン単結晶薄膜の欠陥密度は ~ 10 (個/μ)に低減し表面モルフォロジーも改善されるので同一基板内にバイポーラトランジスタ、MOSトランジスタ等の能動素子の作成が容易に可能になる。

＜実施例＞

以下、添付の図面を用いて、本発明に係る半導体用基板の製造方法の一実施例を説明する。

第1図(a)乃至(e)はそれぞれ本発明の半導体用基板の製造方法の一実施例を説明するための製造工程図である。

まず、第1図(a)に示すように(1 $\bar{1}$ 02)や(0001)方位を有するサファイヤ単結晶基板1上にスピネル単結晶薄膜や安定化ジルコニア単結晶薄膜のような酸化物単結晶薄膜2を形成する。

次に第2図(b)に示すように酸化物単結晶薄膜2の表面をH₂, Hg₂によってガスエッチングを行い、その後高温(900℃～1100℃)の気相成長法によってシリコン単結晶薄膜3(膜厚0.04～1μm)を形成する。次に第1図(c)に示すようにシリコン単結晶薄膜3にイオン注入法によりエネルギー(20～400 KeV)、ドーズ量($5 \times 10^{14} \sim 5 \times 10^{16}$ cm⁻²)でシリコンのイオン注入を行いシリコン単結晶薄膜3中にアモルファスシリコン領域4を形成する。

次に第1図(d)に示すように高温(600℃～1200℃)で10分～3時間の熱処理を加えて固相成長を行いアモルファスシリコン領域4を良

特開昭62-176145(3)

質な低欠陥密度のシリコン単結晶薄膜3へ改質させる。この固相成長により、シリコン単結晶薄膜3とスピネル単結晶薄膜や安定化ジルコニア単結晶薄膜等の酸化物単結晶薄膜2との界面での格子の不整合を矯正したシリコンの単結晶薄膜3が形成されることになる。次にこのシリコン単結晶3上を H_2 、 HCl でガスエッチングした後第1図(e)に示すように、高温(900℃～1100℃)で気相成長法により所定の必要とされる膜厚(例えば0.04～10 μm)のシリコン単結晶薄膜5を形成する。

上記のような方法により、絶縁基板上にAlのオートドープのない非常に結晶性の良い、低欠陥密度(～10個/ μ)で、表面モルフォロジーの良いシリコン単結晶薄膜5が得られ、熱による塑性変形のない半導体用基板が作成される。

<発明の効果>

以上のように本発明によれば、従来困難を極めたサファイヤ単結晶基板もしくはサファイヤ単結晶基板上に形成したスピネル単結晶薄膜や安定化

ジルコニウム単結晶薄膜のような酸化物単結晶薄膜上へ形成されるシリコン単結晶薄膜の結晶性が改善され、その結果低欠陥密度を実現することが出来、また表面モルフォロジーについて著しく改善することが出来た。

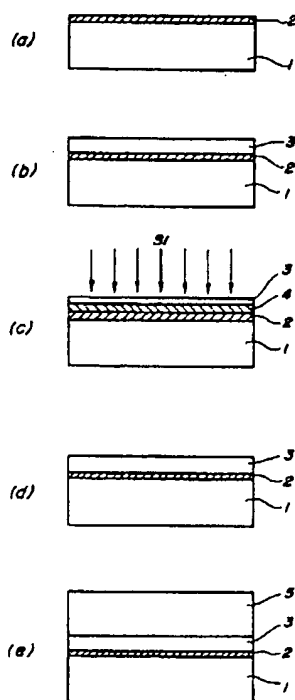
またシリコン薄膜内に形成するアモルファスシリコン領域はイオン注入法で形成するため、基板面内、基板間でのバラツキが少く、大面積化も容易であり、本発明により半導体用基板を容易に製造することが出来る。

4. 図面の簡単な説明

第1図(a)乃至(e)はそれぞれ本発明の一実施例の製作工程を順次示す図式的な断面図である。

1…サファイヤ単結晶基板、 2…酸化物単結晶薄膜(スピネル薄膜または安定化ジルコニア薄膜)、 3…シリコン単結晶薄膜、 4…アモルファスシリコン領域、 5…シリコン単結晶薄膜。

代理人 弁理士 杉 山 敏 至(他1名)



第1図